



Ministerio de Cultura y Educación
Universidad Nacional de San Luis
Facultad de Ciencias Físico Matemáticas y Naturales
Departamento: Electrónica
Area: Electrónica

(Programa del año 2025)

I - Oferta Académica

Materia	Carrera	Plan	Año	Período
ELECTRONICA DIGITAL	ING. EN COMPUT.	28/12	2025	1° cuatrimestre

II - Equipo Docente

Docente	Función	Cargo	Dedicación
NUÑEZ MANQUEZ, ALEJANDRO ENRIQUE	Prof. Responsable	P.Adj Exc	40 Hs
GABUTTI, DIEGO ORLANDO	Responsable de Práctico	JTP Simp	10 Hs

III - Características del Curso

Credito Horario Semanal				
Teórico/Práctico	Teóricas	Prácticas de Aula	Práct. de lab/ camp/ Resid/ PIP, etc.	Total
Hs	2 Hs	1 Hs	2 Hs	5 Hs

Tipificación	Periodo
B - Teoria con prácticas de aula y laboratorio	1° Cuatrimestre

Duración			
Desde	Hasta	Cantidad de Semanas	Cantidad de Horas
12/03/2025	24/06/2025	15	75

IV - Fundamentación

El importante avance de la industria de semiconductores de los últimos años, permite contar con circuitos integrados de muy alta densidad de integración a precios accesibles. Esto hace, que también sea necesario conocer nuevas metodologías de diseño digital. En gran parte de este curso, se estudian los fundamentos del diseño digital que seguirán siendo importantes por mucho tiempo, pero también se introduce a los estudiantes al uso de nuevas metodologías de diseño, implementando diseños digitales sencillos usando lenguajes de descripción de hardware (VHDL y Verilog) y FPGA. Este curso es correlativo de todos los cursos posteriores en el área digital. Los trabajos prácticos están divididos en tres actividades diferentes: prácticos de aula y laboratorios con uso de PC y placas de evaluación basadas en FPGA.

V - Objetivos / Resultados de Aprendizaje

El objetivo del curso es introducir a los alumnos en la electrónica digital. Con esto se espera que al finalizar el curso los alumnos puedan trabajar fluidamente con distintos sistemas numéricos de representación y con códigos binarios, también deberán reconocer y analizar el funcionamiento de circuitos combinacionales y secuenciales y podrán ser capaces de implementar este tipo de circuitos usando dispositivos lógicos programables del tipo FPGA. Deben poder manejar herramientas de software que permita el diseño, la simulación y la generación del archivo de configuración de la FPGA, para luego probarlo en una placa de evaluación basada en FPGA.

VI - Contenidos

BOLILLA N°1 SISTEMAS NUMÉRICOS
Introducción Sistemas Digitales. Sistemas Numéricos, Decimal, Binario, Octal, Hexadecimal. Conversión entre sistemas. Suma y Resta en Sistema Binario. Representación de Números Negativos, Suma y Resta en Complemento a Dos.

Multiplicación binaria.

BOLILLA N°2 CODIGOS

Códigos, Códigos BCD. Código de Gray. Códigos de Caracteres. Distancia mínima de un código. Códigos Detectores y Correctores de error. Check sum. CRC.

BOLILLA N°3 SISTEMAS COMBINACIONALES

Introducción. Sistemas Combinacionales y Secuenciales. Álgebra de conmutación. Axiomas y teoremas del Álgebra de Boole. Dualidad. Representación de las funciones lógicas. Tabla de verdad, minitérminos y maxitérminos. Análisis y síntesis de circuitos combinacionales. Minimización de circuitos. Combinaciones de entrada “don’t care”.

BOLILLA N°4 FPGA y Lenguaje de descripción de Hardware

Introducción dispositivos lógicos programables. Bloques básicos de FPGA. Herramientas de software y flujo de diseño. Lenguaje de descripción de hardware. Introducción a VHDL. Entidad, estructura, sentencias básicas. Ejemplos, Testbench. Simulación. Introducción a Verilog. Entidad, estructura, sentencias básicas. Ejemplos, Testbench. Simulación.

BOLILLA N°5 DISEÑO LÓGICO COMBINACIONAL

Diagramas de tiempo. Tiempo de propagación. Dispositivos de tres estados. Arquitecturas básicas descripción en VHDL y Verilog. Decodificadores, Codificadores. Multiplexores. Compuertas OR- exclusiva. Comparadores, Sumadores y ALU. Diseño lógico combinacional en VHDL y Verilog, simulación e implementación en FPGA.

BOLILLA N°6 LÓGICA SECUENCIAL

Generalidad de los sistemas secuenciales. Elementos biestables. Latch y Flip-Flop. tipo S-R, tipo D, tipo T. Tiempos de retardo.

BOLILLA N°7 CIRCUITOS SECUENCIAL

Descripción de circuitos secuenciales en VHDL y Verilog. Representación RTL.

BOLILLA N°8 MAQUINA DE ESTADO

Máquina de estado sincrónicas. Máquina de Mealy y Moore. Diagramas ASM chart. Análisis y diseño de máquinas de estado sincrónicas. Cálculo de retardos de tiempos en FSM, frecuencia máxima de trabajo. Diseño de máquinas de estado sincrónicas en VHDL y Verilog. Simulación e implementación en FPGA.

Bolilla N°9 CIRCUITOS SECUENCIALES, APLICACIONES.

Registros de desplazamiento, aplicaciones. Descripción en VHDL y Verilog. Contadores, tipo de contadores. Ejemplos, descripción en VHDL y Verilog.

VII - Plan de Trabajos Prácticos

T.P.N°1: Sistemas de numeración: Decimal, Binario, Octal, Hexadecimal,. Ejercicios de conversión. Suma y Resta en Sistemas no Decimales. Representación de Números Negativos. Suma y Resta en Complemento a Dos. Rango de representación. Desborde (overflow).

T.P.N°2: Códigos. Características. Códigos BCD(Decimal codificado en binario). Código de Gray .Distancia de un código. Detectores de error. Correctores de error.

T.P.N°3: Álgebra de Boole. Funciones lógicas. Tabla de verdad. Expresiones canónicas. Compuertas lógicas. Simplificación usando Mapas de Karnaugh. Uso del EXLOG. Verificación de las tablas de verdad. Implementación de funciones con compuertas lógicas usando CI SSI.

T.P.N°4: Lenguaje de Descripción de Hardware. VHDL y Verilog. Flujo de diseño ejemplo. Testbench, Implementación de funciones lógicas en FPGA.

T.P.N°5: Circuitos combinacionales básicos: Codificadores. Decodificadores. Multiplexores. Comparadores, Sumadores. Operaciones aritméticas. Implementación de circuitos combinacionales descriptos en VHDL y Verilog. Simulación.

T.P.N°6: Sistemas secuenciales. Latch y Flip-Flop : Tipo D Tipo T -Preset . Clear. Descripción en VHDL y Verilog. Simulación.

T.P.N°7: Maquina de Estado Análisis de Maquinas de estado sincrónicas Cálculo de frecuencia máxima de trabajo. Diseño de Maquinas de estado usando VHDL y Verilog. Simulación.

VIII - Regimen de Aprobación

La materia se aprueba con un examen final.

Para obtener la regularidad de la materia y poder rendir el examen final será necesario:

- Haber asistido al menos al 80% de las clases de trabajos prácticos.
- Haber aprobado el 100% de los trabajos prácticos.
- Haber aprobado la totalidad de los exámenes parciales.
- Los exámenes parciales se aprueban con al menos el 65% de las respuestas correctas
- Para la aprobación de los trabajos prácticos será necesario, además de haberlos realizado satisfactoriamente a juicio del jefe de trabajos prácticos, aprobar el informe correspondiente.
- No reprobar mas de 3 cuestionarios previos al práctico.
- Los alumnos tendrán derecho a una recuperación por práctico, pero no más de tres en total.
- Los alumnos tendrán derecho a dos recuperaciones de todos los exámenes parciales.
- No se aceptarán alumnos libres en el examen final.

IX - Bibliografía Básica

[1] DISEÑO DIGITAL PRINCIPIOS Y PRACTICAS JOHN WAKERLY Prentice Hall 4ª Edición

[2] Digital Design Principles & Practices J. Wakerly 3ª Edition Prentice Hall

X - Bibliografía Complementaria

[1] Fundamentos Digitales T.L. Floyd Prentice Hall

[2] Digital Principles 2ª Ed. Tokheim

[3] Digital Concepts I. Rooney

[4] Digital Electronics Prestopnik

[5] Sistemas Electrónicos Digitales E. Mandado

XI - Resumen de Objetivos

El objetivo del curso es que los alumnos al finalizar el mismo, puedan trabajar con distintos sistemas numéricos de representación y con códigos binarios, también podrán reconocer y analizar el funcionamiento de circuitos combinacionales y secuenciales, y sean capaces de implementar circuitos digitales usando dispositivos lógicos programables. Al mismo tiempo haber adquirido experiencia con herramientas de software para el diseño de sistemas digitales implementados en FPGA.

XII - Resumen del Programa

Sistemas Numéricos - Códigos binarios - Sistemas combinacionales - Sistemas secuenciales - Maquina de estados finitos - Dispositivos lógicos programables- Lenguaje de descripción de Hardware

XIII - Imprevistos

No aplica

XIV - Otros