Ministerio de Cultura y Educación **(Programa del año 2023)**
Universidad Nacional de San Luis
Facultad de Ciencias Físico Matemáticas y Naturales
Departamento: Electrónica
Area: Electrónica

I - Oferta Académica

Materia	Carrera	Plan	Año	Período
DISEÑO DE SISTEMAS DIGITALES	ING.ELECT.O.S.D	13/08	2023	2° cuatrimestre
() DISEÑO DE SISTEMAS DIGITALES	PROF.TECN.ELECT	005/09	2023	2° cuatrimestre

II - Equipo Docente

Docente	Función	Cargo	Dedicación
SOSA PAEZ, CARLOS FEDERICO	Prof. Responsable	P.Asoc Exc	40 Hs
YELPO, VICTOR ANTONIO	Prof. Co-Responsable	P.Adj Exc	40 Hs
TRABES, EMANUEL	Auxiliar de Práctico	A.1ra Simp	10 Hs

III - Características del Curso

Credito Horario Semanal				
Teórico/Práctico	**Teóricas**	**Prácticas de Aula**	**Práct. de lab/ camp/ Resid/ PIP, etc.**	**Total**
2 Hs	Hs	Hs	4 Hs	6 Hs

Tipificación	Periodo
B - Teoria con prácticas de aula y laboratorio	2º Cuatrimestre

Duración			
Desde	**Hasta**	**Cantidad de Semanas**	**Cantidad de Horas**
09/08/2023	17/11/2023	15	90

IV - Fundamentación

La evolución de la tecnología de los semiconductores ha sido rápida y profunda en las últimas décadas,lo que ha posibilitado que hoy se puedan diseñar sistemas digitales con circuitos integrados de elevada complejidad. Este hecho, unido a la necesidad de reducir el tiempo y el costo de diseño, plantea importantes desafíos en el campo del diseño de sistemas digitales. Por eso, esta actividad curricular está orientada a conocer una metodología de diseño moderna, basada en la descripción del comportamiento de sistemas digitales mediante un lenguaje de descripción de hardware. Para esto es necesario utilizar modernas herramientas de software que permitan realizar de síntesis y simulación del sistema, para luego poder ser implementando en hardware.

V - Objetivos / Resultados de Aprendizaje

El objetivo del curso es que los alumnos, al terminarlo, conozcan una metodología de diseño moderna para sistemas digitales complejos. Dicha metodología implica que los alumnos conozcan un lenguaje de descripción de hardware, puedan simular el comportamiento de su diseño e implementarlos en placas de desarrollo con FPGA. Tambíen los alumnos deberán conocer la evolución de la tecnología digital y las tecnologías actuales disponibles para el diseño de este tipo de circuitos.

VI - Contenidos

BOLILLA 1: Tipos de circuitos digitales. Introducción a la Lógica Programable. Dispositivos de Lógica Programable.

PLD. CPLD. FPGA Características principales. Arquitectura. Aplicaciones.

BOLILLA 2. Metodologías de diseño de sistemas digitales, Los lenguajes de descripción de hardware. Uso de VHDL para síntesis y diseño.

BOLILLA 3: Modelos de Hardware. Unidades básicas de diseño: Entidades, Arquitecturas, tipos de Arquitecturas, Comparación arquitecturas. Múltiples drivers. Identificadores, Objetos, Tipos de datos, Expresiones y operadores, atributos.

BOLILLA 4: Lógica Combinacional: Declaraciones (statements) concurrentes: Ecuaciones booleanas, Operadores Lógicos, With-select-when, when-else. Operadores relacionales, Operadores sobrecargados. Instanciación de componentes Lógica Combinacional usando declaraciones (statements) secuenciales: Procesos. if-then-else. Case-when. Lógica sincrónica. Wait until statement. Funciones Flanco creciente y decreciente. Reset. Reset asincrono y preset. Señales bidireccionales. Loop. Registros no intencionales

BOLILLA 5: Repaso de máquinas de estado. Diseño de máquinas de estado usando vhdl. Inicialización de máquinas de estado. Síntesis de máquinas de estados finitas. Utilización de recursos de área y velocidad. Consideraciones adicionales de diseño.

BOLILLA 6: Librerías, Paquetes y componentes reusables. Declaración de paquetes. Cuerpo de paquetes. Componentes. Librería de componentes. Componentes genéricos y parametrizados. Test benches

BOLILLA 7: Funciones. Funciones de conversión de tipo. Operadores sobrecargados. Funciones sobrecargadas. Funciones estándar. Funciones estándar. Funciones definidas por el usuario. Procedimientos.

BOLILLA 8: Síntesis e implementación de diseño. Guías generales de vhdl para síntesis. Como inferir latches, flip flops y registros. VHDL para generar circuitos combinacionales. El proceso de síntesis.

BOLILLA 9: Optimizando Data-Paths: Pipeline y paralelizacion de tareas.Sumadores. Sumadores con Ripple Carry. Sumadores Carry Lookahead. Comparadores de magnitudes. Contadores.

BOLILLA 10: Evolución del diseño electrónico. Tecnología CMOS Características generales, Implementación de compuertas lógicas .Tecnología usadas en la configuración de FPGA.

VII - Plan de Trabajos Prácticos

TP 1: Flujo de Diseño. Herramienta de Software. Introducción a la placa de evaluación Nexys3.
TP 2: Diseño de Lógica Combinacional.
TP 3: Diseño de Lógica Secuencial.
TP 4: Maquinas de Estado.
TP 5: Uso de Componentes IP.
TP 6: Proyecto Integrador.

VIII - Regimen de Aprobación

Para obtener la regularidad y poder rendir el examen final como alumno regular será necesario:
Haber asistido al menos al 80% de las clases teórico-prácticas.
Haber aprobado el 100% de los trabajos prácticos.
Haber aprobado el parcial (66% bien) y el proyecto integrador.
Para la aprobación de los trabajos prácticos será necesario:
Haberlos realizado satisfactoriamente a juicio del responsable del laboratorio.
Responder correctamente a las preguntas que sobre el tema de la práctica se les formule. antes o durante el práctico.
Los alumnos tendrán derecho a una sola recuperación por práctico, pero no mas de tres en total.
Los alumnos tendrán derecho a dos recuperaciones del examen parcial.
Condiciones para Promoción sin Examen I:
En el momento de inscribirse cumplir con los requisitos para promocionar (tener aprobadas las materias correlativas).
Haber asistido al menos al 80% de las clases teórico-prácticas.
Haber aprobado el 100% de los trabajos prácticos.
Responder correctamente los cuestionarios que hubiere antes de ingresar a la clase sobre los contenidos de los videos. Se podrán tener un máximo de tres cuestionarios no aprobados.
Haber aprobado el examen parcial, en alguna de dos instancias, con nota no inferior a 7 (80% bien).
Haber aprobado una evaluación integradora con nota no inferior a 7.
Haber realizado satisfactoriamente el proyecto integrador.
En caso de una recuperación la última nota reemplaza a la anterior.

IX - Bibliografía Básica

[1] RTL Hardware design using VHDL Pong P. Chu 2006 JOHN WlLEY & SONS
[2] FPGA Prototyping by VHDL Example. Pong P. Chu 2008 John Wiley & Sons
[3] VHDL for Programmable Logic- Kevin Skahill- 1996 Addison-wesley
[4] Digital Systems Design with VHDL and Synthesis. 1999 K.C.Chang- IEEE
[5] VHDL- Lenguaje estándar de diseño electrónico. Terés, Torroja, Olcoz, Villar- McGrawHill

X - Bibliografia Complementaria

[1] FPGA and CPLD Architectures: A Tutorial Brown S, Rose J. IEEE Design & Test of Computer 1996
[2] Rapid System Prototyping with FPGAs: Cofer, Harding, 2005 Newnes Bk&CD-Rom ed.
[3] HDL Chip Design Smith, D. J. 2001 Doone Publications, Madison.
[4] Reconfigurable Computing: the theory and practice of FPGA-based computation. Scott Hauck, Andre DeHon. Morgan Kaufmann Elsevier 2008

XI - Resumen de Objetivos

Conocer las características principales de la tecnología de fabricación para circuitos digitales
Conocer características principales de los PLD comerciales.
Aprender el uso de herramientas de software para el diseño digital.
Aprender el uso de un lenguaje HDL (Lenguaje de Descripción de Hardware) para describir un diseño digital.
Conocer una herramienta comercial para el diseño de sistemas digitales.
Diseñar sistemas combinacionales, secuenciales (FSM)
Compilar, sintetizar y simular un diseño.
Implementar en una FPGA un diseño completo que integre las habilidades adquiridas en el curso

XII - Resumen del Programa

Diseño de sistemas Digitales con lenguajes de descripcion de hardware VHDL. Criterios de diseño de Sistemas Digitales, optimización. Herramientas de diseño electronico automaticas (EDA)para el diseño, la simulación y sintesis de sistemas digitales. Implementación de sistemas digitales en Dispositivos Logicos Programables con FPGA.
Tecnología de fabricación de ciruitos digitales. Caracteristicas generales.

XIII - Imprevistos

Como su nombre lo indica, no se pueden prever

XIV - Otros