Ministerio de Cultura y Educación **(Programa del año 2016)**
Universidad Nacional de San Luis **(Programa en trámite de aprobación)**
Facultad de Ciencias Físico Matemáticas y Naturales **(Presentado el 28/09/2016 12:01:47)**
Departamento: Informatica
Area: Area II: Sistemas de Computacion

I - Oferta Académica

Materia	Carrera	Plan	Año	Período
ARQUITECTURA DEL PROCESADOR II	LIC.CS.COMP.	32/12	2016	2° cuatrimestre

II - Equipo Docente

Docente	Función	Cargo	Dedicación
AGUIRRE, GUILLERMO CARLOS	Prof. Responsable	P.Adj Exc	40 Hs
ARROYUELO BILLIARDI, JORGE A.	Responsable de Práctico	JTP Exc	40 Hs
ARROYUELO, MONICA DEL VALLE	Auxiliar de Práctico	A.1ra Exc	40 Hs

III - Características del Curso

Credito Horario Semanal				
Teórico/Práctico	**Teóricas**	**Prácticas de Aula**	**Práct. de lab/ camp/ Resid/ PIP, etc.**	**Total**
1 Hs	2 Hs	3 Hs	Hs	6 Hs

Tipificación	Periodo
B - Teoria con prácticas de aula y laboratorio	2º Cuatrimestre

Duración			
Desde	**Hasta**	**Cantidad de Semanas**	**Cantidad de Horas**
08/08/2016	18/11/2016	15	90

IV - Fundamentación

La creciente demenda de mayor poder computacional de los procesadores ha dado origen a arquitecturas complejas con unidades funcionales especializadas, memorias de alta velocidad, división de tareas en etapas concurrentes, ejecución de intrucciones a medida que están disponibles sus operandos, etc. Todas estas particularidades hacen necesaria la aplicación de técnicas y estrategias más complejas que las involucradas en los procesadores convencionales. Las arquitecturas avanzadas pueden ser aprovechadas mediante prácticas de programación que tengan en cuenta sus características particulares.

V - Objetivos / Resultados de Aprendizaje

Al finalizar el curso los alumnos deberan poder:

*Identificar los principales parámetros que miden el desempeño de los procesadores.

*Reconocer las similitudes y diferencias entre los distintos esquemas de memorias cache.

*Desarrollar el análisis cuantitativo del desempeño de procesadores provistos con jerarquía de memoria.

*Conocer las características de los procesadores segmentados y las particularidades consideraras al medir el desempeño de los mismos.

*Dominar los detalles involucrados en el funcionamiento de los procesadores segmentados con etapas multiciclo y las

estrategias empleadas para ejecutar instrucciones fuera de orden.

*Identificar los caminos de datos empleados por los distintos tipos de instrucciones en los procesadores RISC.

*Determinar como se administran las principales unidades funcionales en los procesadores súper-escalares.

*Percibir la complejidad requerida para soportar interrupciones en los sistemas que explotan el paralelismo a nivel de instrucción.

VI - Contenidos

Unidad 1: Los procesadores RISC y su desempeño.
Procesadores RISC. El MIPS. Señales de control y camino de datos del MIPS. Conjunto de instrucciones y desempeño. Frecuencia y ciclo de reloj. Tiempo por instrucción. Unidades pequeñas de tiempo. Ecuación de tiempo de CPU. Relación entre el ciclo de reloj y el tiempo de CPU. Desempeño y tiempo de ejecución. Aceleración (speed-up). Corolario de la Ley de Amdahl.

Unidad 2: Procesadores Segmentados.
¿Qué es la segmentación?. Comportamiento básico de los procesadores segmentados. Desempeño ideal. Problemas de la segmentación: los riesgos. Distintos tipos de riesgos: estructurales, de datos y de control. Dependencia de datos. Riesgos de datos: RAW, WAW, WAR. Los atascos (stalls). Adelantamiento. Atascos inevitables. Impacto de los riesgos en el desempeño de los procesadores segmentados. Penalidades por saltos. Predicción dinámica de saltos. Salto demorado. Excepciones. Manejo de las excepciones en procesadores segmentados.

Unidad 3: Organización de la memoria.
Jerarquía de memorias. Memorias cache. Éxito y Fallo. Consideraciones generales del empleo de cache. Organizaciones de cache: directas, asociativas y conjunto asociativo. Desempeño de memorias cache. Tipos de cache: write-back y write-through. Manejo de las escrituras. Comportamiento de la jerarquía de memorias. Penalidades por fallo. Máquina de estados finita de un controlador de cache.

Unidad 4: Paralelismo a nivel de instrucción.
Despacho múltiple estático. Desenrrollado de iteraciones en despacho múltiple. Despacho múltiple dinámico. Procesadores Superescalares. Finalización fuera de orden. Scoreboard. Estaciones de reservación. Renombramiento de registros. Buffer de reordenamiento. Algoritmo de Tomasulo.

VII - Plan de Trabajos Prácticos

Práctico Nro. 1: Programación assembly.
Práctico de aula. Programación en MIPS32. Camino de datos.
Práctico de máquina. Programación usando PathSim

Práctico Nro. 2: Medidas de Performance.
Práctico de aula. Uso del Corolario de la Ley de Amdhal para calcular tiempo con mejora. Uso de la ecuación de tiempo de la CPU.

Práctico Nro. 3: Segmentación y riesgos.
Práctico de aula. Implementación del pipelining del MIPS32. Impacto de problemas en el pipe: riesgos estructurales y de datos. Los riesgos de control: técnicas utilizadas para las instrucciones de salto. Planificación estática de instrucciones para reducir los riesgos.

Práctico Nro. 4: Distintas organizaciones de memoria cache.
Práctico de aula. Técnicas de ubicación de bloques en mapeo directo, conjuntos asociativos y completamente asociativa. Pasos en la lectura y escritura de la memoria cache. Reduciendo los fallos de cache: Incidencia del tamaño de la cache en el desempeño de los procesadores.
Práctico de mquina: uso del simulador SMPCache.

Práctico Nro. 5: Paralelismo a nivel de instrucción.
Práctico de aula. Algoritmo de scoreboarding. Manejo de los distintos tipos de riesgos. Algoritmo de Tomasulo. Renombramiento. Buffer de reorganización

VIII - Regimen de Aprobación

* Regularización
Para regularizar la materia el alumno deberá cumplir con los siguientes requisitos:
Aprobar los dos exámenes parciales, o alguna de sus dos recuperaciones.
Mostrar compromiso con la materia a través de asistencia regular a clase y realización de los prácticos de aula y máquina.

* Examen Final
Los alumnos regulares deberán rendir un examen final (que podrá ser oral o escrito) que consistirá en preguntas sobre los temas desarrollados durante el dictado de la materia.
* Alumnos libres
Los alumnos que desean rendir libre la materia se deberán poner en contacto con la cátedra con 5 días de anticipación a los efectos de realizar un práctico, el cual contendrá ejercicios similares a los desarrollados en los prácticos durante el dictado de la materia. Aprobando este trabajo práctico el alumno tendrá derecho a rendir un examen con iguales características que los alumnos regulares.

IX - Bibliografía Básica

[1] Computer Organization & Design. David A. Patterson and John L. Hennessy. 5th Edition. Editorial Morgan Kaufmann. (2014)
[2] Microprocessor Architecture. From simple pipeline to chip multiprocessor. Jean-Loup Baer. (2010)
[3] Computer architecture a quantitative approach. John Hennessy y David Patterson. 5th Edition. Editorial Morgan Kaufmann. (2013)

X - Bibliografia Complementaria

[1] Computer Architecture design and performance. Barry Wilkinson.Editorial Prentice-Hall (1996).
[2] Zemian & otros, “The PH processor: a soft embedded core for use in university research and teaching”
[3] P.M. Sailer & D.R. Kaeli "The DLX Instruction Set Architecture Handbook" Morgan Kaufmann, 1996.
[4] M.Flynn, “Computer engineering 30 years after the IBM Model 91"
[5] D.A. Pattersson, D.R. Ditzel "The Case for the Reduced Instruction Set Computer" Commun. ACM, year 1985, num.1, vol.28, pag.8--21

XI - Resumen de Objetivos

Al finalizar el curso los alumnos deberan poder:

*Identificar los principales parámetros que miden el desempeño de los procesadores.

*Desarrollar diferentes analisis cuantitativos del desempeño de procesadores provistos con memoria cache.

*Conocer las características de los proccesadores segmentados y super-escalares; considerar las particularidades al medir el desempeño de los mismos.

*Percibir la complejidad requerida para computar soluciones en sistemas súper-escalares.

XII - Resumen del Programa

Medidas de performance. Jerarquía de memorias. Memorias cache. Procesadores segmentados. Tipos de riesgos. Desempeño en sistemas segmentados. Impacto de los saltos condicionales en un procesador segmentado. Predicción de saltos. Procesador segmentado multiciclo. Planificación dinámica de instrucciones. Coherencia de cache. Procesadores super-escalares. El paralelismo a nivel de instrucciones y las interrupciones.

XIII - Imprevistos

Comunicarse con la cátedra. Arquitectura del Procesador II. gaguirre@unsl.edu.ar Departamento de Informática. Facultad de Cs. Físico, Matemáticas y Naturales. Universidad Nacional de San Luis. Ejército de los Andes 950. CP D5700HHW. Bloque II, 1ºpiso, Box 25 Tel 0266 4520300 Interno 2125

XIV - Otros

ELEVACIÓN y APROBACIÓN DE ESTE PROGRAMA	
	Profesor Responsable
Firma:	
Aclaración:	
Fecha:	