



Ministerio de Cultura y Educación
 Universidad Nacional de San Luis
 Facultad de Ciencias Físico Matemáticas y Naturales
 Departamento: Física
 Area: Area V: Electronica y Microprocesadores

(Programa del año 2010)
 (Programa en trámite de aprobación)
 (Presentado el 01/09/2010 08:47:07)

I - Oferta Académica

Materia	Carrera	Plan	Año	Período
DISEÑO DE SISTEMAS DIGITALES	ING.ELECT.ORIENT.SIST.DIGIT.	13/08	2010	2° cuatrimestre

II - Equipo Docente

Docente	Función	Cargo	Dedicación
SOSA PAEZ, CARLOS FEDERICO	Prof. Responsable	P.Adj Exc	40 Hs
AIRABELLA, ANDRES MIGUEL	Auxiliar de Práctico	A.1ra Exc	40 Hs
YELPO, VICTOR ANTONIO	Auxiliar de Laboratorio	A.1ra Semi	20 Hs

III - Características del Curso

Credito Horario Semanal				
Teórico/Práctico	Teóricas	Prácticas de Aula	Práct. de lab/ camp/ Resid/ PIP, etc.	Total
Hs	30 Hs	Hs	60 Hs	6 Hs

Tipificación	Periodo
B - Teoria con prácticas de aula y laboratorio	2° Cuatrimestre

Duración			
Desde	Hasta	Cantidad de Semanas	Cantidad de Horas
09/08/2010	19/11/2010	15	90

IV - Fundamentación

La evolución de la tecnología microelectrónica ha sido rápida y profunda en las últimas décadas, lo que ha posibilitado que hoy se puedan diseñar circuitos integrados de elevada complejidad. Este hecho, unido a la necesidad de reducir el tiempo y el costo de diseño, plantea importantes desafíos en el campo del diseño de sistemas digitales. Por eso, esta actividad curricular está orientada a conocer una metodología de diseño moderna, basada en la descripción del comportamiento de los circuitos mediante lenguaje de descripción de hardware, utilizando herramientas de síntesis y de simulación, e implementando estos diseños en dispositivos de Lógica Programable.

V - Objetivos / Resultados de Aprendizaje

El objetivo del curso es que los alumnos, al terminarlo, conozcan una metodología de diseño moderna para sistemas digitales complejos. Dicha metodología implica que los alumnos conozcan un lenguaje de descripción de hardware, puedan simular el comportamiento de su diseño e implementarlos en plaquetas de desarrollo con FPGA. También los alumnos deberán conocer la evolución de la tecnología digital y las distintas tecnologías disponibles para el diseño de este tipo de circuitos.

VI - Contenidos

BOLILLA 1: Evolución de la tecnología digital, Ley de Moore, Lógica discreta, VLSI Digitales, Tecnología CMOS
Características generales. Tecnología de fabricación de IC .
 Tipos de C.I digitales: ASIC, Standard Cell, Gate Array, Dispositivos de Lógica Programable. SPLD. CPLD. FPGA
 Características principales, Arquitecturas, Aplicaciones.
BOLILLA 2: Evolución del diseño digital. Los lenguajes de descripción de hardware. Uso de VHDL para síntesis y diseño.

Metodologías de diseño

BOLILLA 3: Modelos de Hardware. Unidades básicas de diseño: Entidades, Arquitecturas, tipos de Arquitecturas, Comparación arquitecturas. Modelado para síntesis y modelado para simulación. Múltiples drivers y Función Resolución. Identificadores, Objetos, Tipos de datos, Expresiones y operadores, atributos.

BOLILLA 4: Lógica Combinacional: Declaraciones concurrentes: Ecuaciones booleanas, Operadores Lógicos, With-select-when, when-else. Operadores relacionales, Operadores sobrecargados. Instanciación de componentes Lógica Combinacional usando declaraciones secuenciales: Procesos. if-then-else. Case-when. Lógica sincrónica. Wait until statement. Funciones Flanco creciente y decreciente. Reset. Reset asincrono y preset. Buffer three-state. Señales bidireccionales. Loop. Registros no intencionales

BOLILLA 5: Repaso de máquinas de estado. Diseño de máquinas de estado usando vhdl. Inicialización de máquinas de estado. Síntesis de máquinas de estados finitas. Utilización de recursos de área y velocidad. Consideraciones adicionales de diseño.

BOLILLA 6: Librerías, Paquetes y componentes reusables. Declaración de paquetes. Cuerpo de paquetes. Componentes. Construcción de librería de componentes. Componentes genéricos y parametrizados. Test benches

BOLILLA 7: Funciones. Funciones de conversión de tipo. Uso de funciones. Operadores sobrecargados. Funciones sobrecargadas. Funciones estándar. Funciones estándar vs. Funciones definidas por el usuario. Procedimientos.

BOLILLA 8: Síntesis e implementación de diseño. Guías generales de vhdl para síntesis. Como inferir latches, flip flops y registros. VHDL para generar circuitos combinacionales. El proceso de síntesis.

BOLILLA 9: Optimizando Data-Paths: Sumadores. Sumadores con Ripple Carry. Sumadores Carry Lookahead. Comparadores de magnitudes. Contadores rápidos. Pipelinig.

VII - Plan de Trabajos Prácticos

TP 1: Flujo de Diseño. Herramienta de Software. Introducción a la placa Actel ProASIC Plus StarterKit.

TP 2: Diseño de Lógica Combinacional.

TP 3: Diseño de Lógica Secuencial.

TP 4: TestBench.

TP 5: Maquinas de Estado.

TP 6: Herramientas de Diseño Gráfico: Actel SmartGen.

TP 7: Utilización de hardware adicional: Placa de Expansión.

TP 8: Proyecto Integrador.

VIII - Regimen de Aprobación

Para obtener la regularidad y poder rendir el examen final como alumno regular será necesario:

Haber asistido al menos al 80% de las clases de trabajos prácticos.

Haber aprobado el 100% de los trabajos prácticos.

Haber aprobado el parcial (66% bien) y el proyecto integrador.

Para la aprobación de los trabajos prácticos será necesario:

Haberlos realizado satisfactoriamente a juicio del responsable del laboratorio.

Responder correctamente a las preguntas que sobre el tema de la práctica se les formule. antes o durante el práctico.

Los alumnos tendrán derecho a una sola recuperación por práctico, pero no mas de tres en total.

Los alumnos tendrán derecho a una recuperación del examen parcial.

En caso de no haber aprobado el parcial, en ninguna de las dos instancias, los alumnos que trabajan, tendrán derecho a una recuperación extraordinaria para el examen parcial.

Condiciones para Promoción sin Examen I:

En el momento de inscribirse cumplir con los requisitos para promocionar (tener aprobadas las materias correlativas).

Haber asistido al menos al 80% de las clases de trabajos prácticos.

Haber aprobado el 100% de los trabajos prácticos.

Haber aprobado el examen parcial, en alguna de las dos instancias, con nota no inferior a 7 (80% bien).

Haber aprobado una evaluación integradora con nota no inferior a 7.

Haber realizado satisfactoriamente el proyecto integrador.

Para la aprobación de los trabajos prácticos, rigen los mismos requisitos que en el caso de los regulares.

Los alumnos tendrán derecho a una sola recuperación por práctico, pero no mas de tres en total.

Los alumnos tendrán derecho a una recuperación del examen parcial o la evaluación integradora.
La nota final de los alumnos que promocionen será un promedio de los parciales y de la evaluación del proyecto integrador.
En caso de una recuperación la última nota reemplaza a la anterior.

IX - Bibliografía Básica

- [1] VHDL for Programmable Logic- Kevin Skahill- 1996 Addison-wesley
- [2] RTL hardware design using VHDL Pong P. Chu 2006 JOHN WILEY & SONS
- [3] FPGA Prototyping by VHDL Example. Pong P. Chu 2008 John Wiley & Sons
- [4] Digital Systems Design with VHDL and Synthesis. 1999 K.C.Chang- IEEE
- [5] VHDL- Lenguaje estándar de diseño electrónico. Terés, Torroja, Olcoz, Villar- McGrawHill

X - Bibliografía Complementaria

- [1] FPGA and CPLD Architectures: A Tutorial Brown S, Rose J. IEEE Design & Test of Computer 1996
- [2] Rapid System Prototyping with FPGAs: Cofer, Harding, 2005 Newnes Bk&CD-Rom ed.
- [3] The Design Warrior's Guide to FPGAs: Clive Maxfield 2004 Elsevier Science & Technology.
- [4] HDL Chip Design Smith, D. J. 2001 Doone Publications, Madison.

XI - Resumen de Objetivos

Conocer las características principales de la tecnología de fabricación para circuitos digitales
Conocer características principales de los PLD comerciales.
Aprender el uso de herramientas de software para el diseño digital.
Aprender el uso de un lenguaje HDL (Lenguaje de Descripción de Hardware) para describir un diseño digital.
Conocer una herramienta comercial para el diseño de sistemas digitales.
Diseñar sistemas combinacionales, secuenciales (FSM)
Compilar, sintetizar y simular un diseño.
Implementar en una FPGA un diseño completo que integre las habilidades adquiridas en el curso

XII - Resumen del Programa

Modelado de sistemas Digitales con lenguajes de descripción de hardware VHDL. Criterios de diseño de Sistemas Digitales, optimización en performance versus utilización de recursos. Herramientas de diseño electrónico automáticas (EDA) para el diseño, la simulación y síntesis de sistemas digitales. Implementación de sistemas digitales en Dispositivos Lógicos Programables con FPGA.

XIII - Imprevistos

--

XIV - Otros

--

ELEVACIÓN y APROBACIÓN DE ESTE PROGRAMA	
	Profesor Responsable
Firma:	
Aclaración:	
Fecha:	